

SiC MOSFET

# ゲート-ソース電圧のサージ抑制方法

MOSFET や IGBT などのパワー半導体は、様々な電源アプリケーションや電力ラインのスイッチング素子として使用されていますが、近年採用が加速している SiC MOSFET は、スイッチング時の電圧や電流の変化が、デバイス自身のパッケージインダクタンスや周辺回路の配線インダクタンスの影響を無視できないほど高速動作をしています。特にゲート-ソース間電圧には、デバイス自身の電圧や電流が変化する時に、予期せぬ正あるいは負のサージが発生することがあり、その対策については様々な検討が行われています。そこで、このアプリケーションノートでは、MOSFET のゲート-ソース間に発生するサージの発生原因を明確にしなが、最適な対策方法を提示することを目的としています。

## ゲート-ソース電圧に発生するサージ

アプリケーションノート「ブリッジ構成におけるゲート-ソース電圧の振る舞い」\*1 で、ブリッジ構成におけるスイッチングデバイスのターンオンあるいはターンオフ時に発生しているゲート-ソース電圧のサージについて詳しく説明しましたが、Figure 1.に示している同期方式 Boost 回路のスイッチング側(LS)のみならず非スイッチング側(HS)にも、スイッチング側の電圧および電流の変化に応じてサージが発生しています。

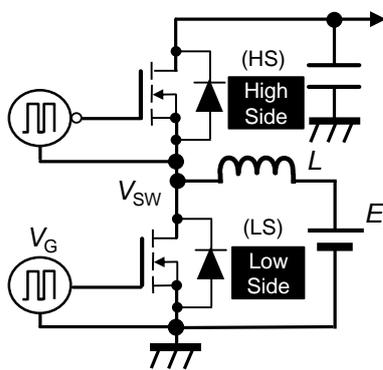


Figure 1. 同期方式 Boost 回路

Figure 2.に LS ターンオン時、Figure 3.に LS ターンオフ時のゲート-ソース電圧の挙動について示します。横軸は時間を表し、時間領域 Tk(k=1~8)の定義は各々以下の通りとなります。

- T1:LS が ON し MOSFET の電流が変化している期間
- T2:LS が ON し MOSFET の電圧が変化している期間
- T3:LS が ON している期間
- T4:LS が OFF し MOSFET の電圧が変化している期間
- T5:LS が OFF し MOSFET の電流が変化している期間
- T4-T6:HS が ON するまでのデッドタイム期間

- T7:HS が ON している期間 (同期整流期間)
- T8:HS が OFF し LS が ON するまでのデッドタイム期間
- T1~T3:スイッチング期間
- T4~T8:転流期間

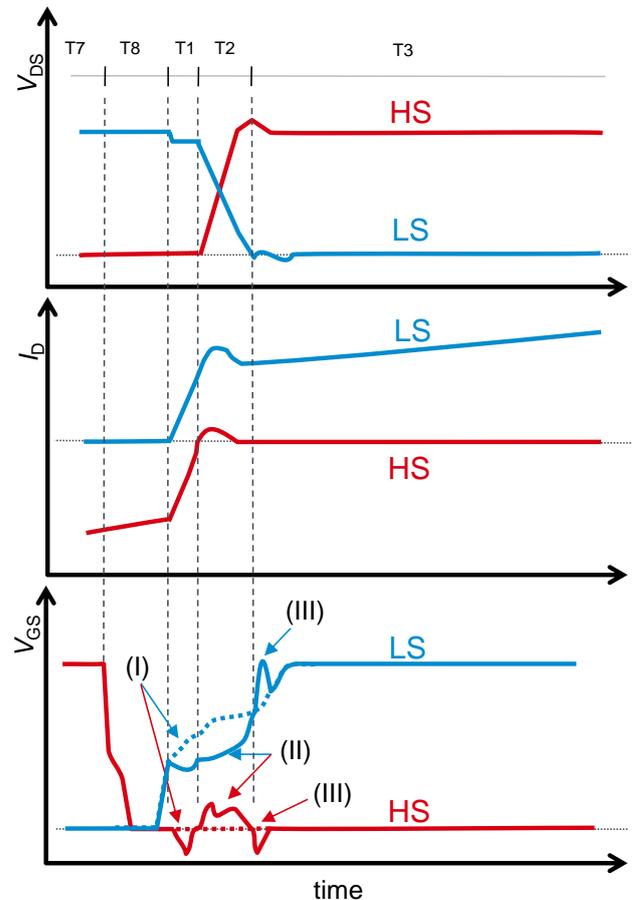


Figure 2. ゲート-ソース電圧の挙動 (ターンオン時)

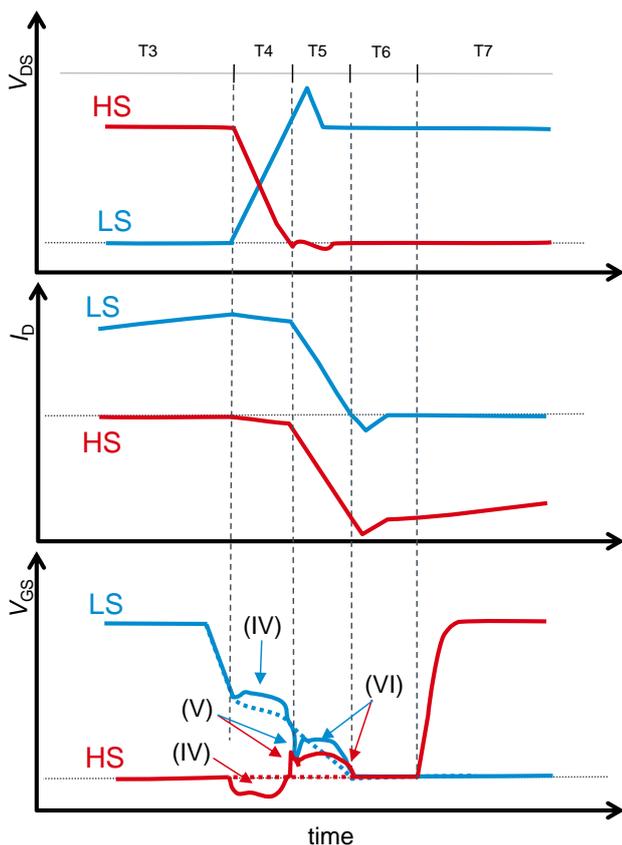


Figure 3. ゲートソース電圧の挙動 (ターンオフ時)

図中に示している事象 (I) ~ (IV) は以下の要因によって発生しています。

- 事象(I), (VI) : ドレイン電流の変化( $dI_b/dt$ )
- 事象(II), (IV) : ドレインソース電圧の変化( $dV_{DS}/dt$ )
- 事象(III), (V) : ドレインソース電圧の変化終了

### サージ抑制回路

前節で説明したようにゲートソース電圧 ( $V_{GS}$ ) の正サージはスイッチング側および非スイッチング側の両方に発生しますが、特に問題となるのはターンオン時の同期 (Figure 2.事象(II)) です。なぜなら、スイッチング側がすでにターンオンしている状態のため、非スイッチング側の正サージ電圧が MOSFET のゲート閾値電圧 ( $V_{GS(th)}$ ) を越えた場合、同時オンが発生し貫通電流が流れてしまうからです。ただ、SiC-MOSFET のトランスコンダクタンスは Si 系 MOSFET に比べ桁以上小さいために、直ちに過大な貫通電流は流れません。そのため、貫通電流が流れていたとしても、冷却能力が十分にあり、MOSFET の  $T_{j(max)}$  を超えなければ基本的に問題ありません。しかしながら、システム全体の効率低下に直結しており、決して好ましい状態ではないため、極力  $V_{GS(th)}$  を超えないように抑制回路を付加することが求められます。

そこで、Figure 4.にその抑制回路例を示します。

同図では MOSFET の一般的な駆動回路に、サージ抑制用回路を付加しており、Table 1.にその機能を示します。

また、VCC2 はオン用駆動電源、VEE2 はオフ用、OUT1 は MOSFET のオン・オフ信号、OUT2 はミラークランプ用制御信号、GND2 は駆動回路の GND を示しており、オフ用駆動電源を使用する場合を Figure 4.(a)に、使用しない場合を同図(b)に示しています。

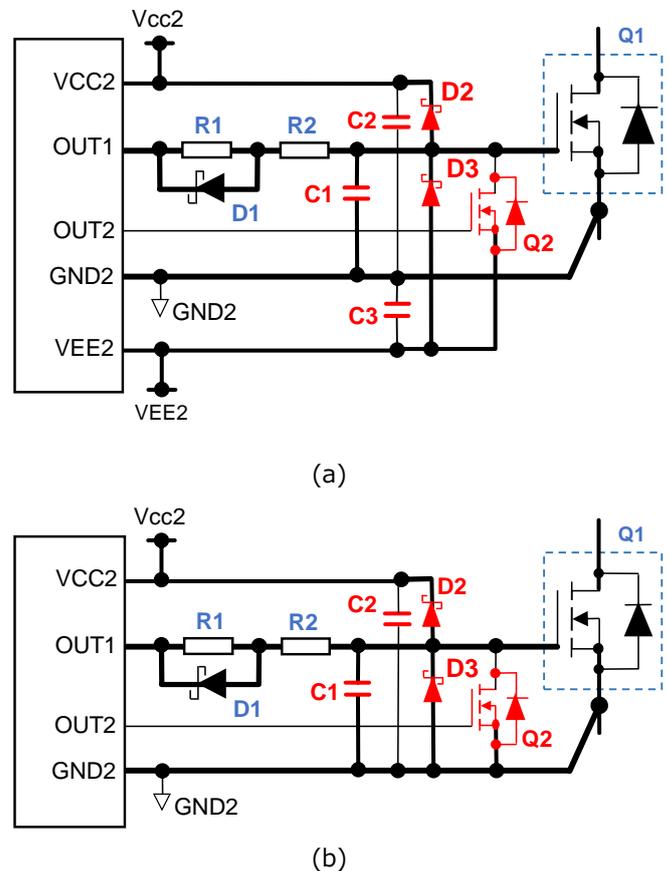


Figure 4. 正電圧サージ抑制回路

(a) 負バイアス (VEE2あり) 駆動, (b) 0V バイアス (VEE2なし) 駆動

Table 1. サージ抑制回路の機能一覧

効用	Symbol	Details
正サージ抑制	D2 (C2)	スイッチング側ターンオン時の正サージ電圧を抑制 (C2 はパスコ)
負サージ抑制	D3 (C3)	スイッチング側および非スイッチング側の負サージを抑制 (C3 はパスコ)
正負サージ抑制	Q2	非スイッチング側の正負サージを抑制
誤オン抑制	C1	非スイッチング側の正サージを抑制

通常 D2,D3 は数十 ns のパルスを吸収し、できるだけ低電圧でクランプする必要があるため、ショットキーバリアダイオード (SBD) を使用します。また、SOD-323FL 等の下面電極タイプの低インピーダンスパッケージ品を選定すると更に効果的です。

正電圧サージ対策

Figure 2. に示したターンオン時の非スイッチング側  $V_{GS}$  の正サージである事象(II)を抑制するためには、Table 1. で示した Q2 あるいは C1 が効果的です。

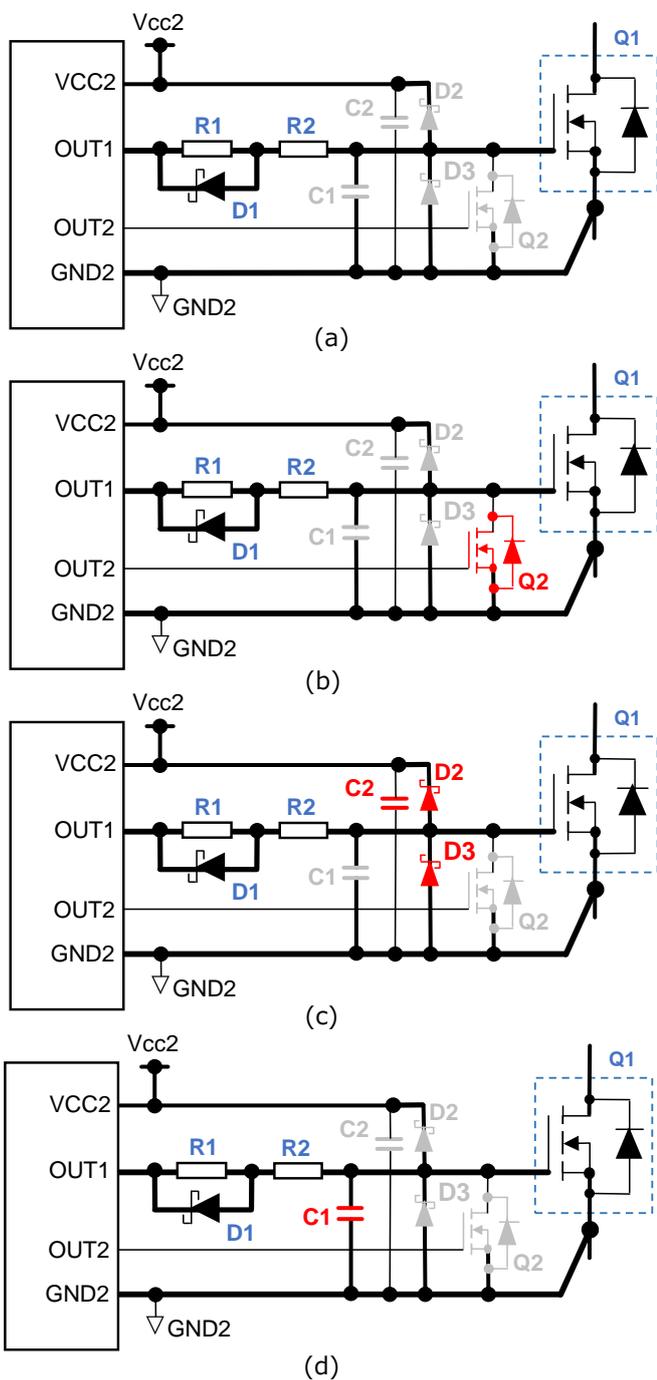


Figure 5. サージ抑制回路の検証回路

- (a)抑制回路なし、(b)ミラークランプ用 MOSFET のみ、
- (c)クランプ用 SBD のみ、(d)誤オン抑制コンデンサのみ

当社 SiC MOSFET(SCT3040KR)を用いた抑制回路の効果を検証するため、抑制回路を個別に実装し、その波形を観測しました。Figure 6.(a)に使用したデバイスの外観と概略仕様、(b)に使用した抑制回路の部品名一覧を示します。



$V_{DS}$	1200 V
$R_{DS(on)}$	40 mΩ
$I_D$	55 A
$P_D$	262 W

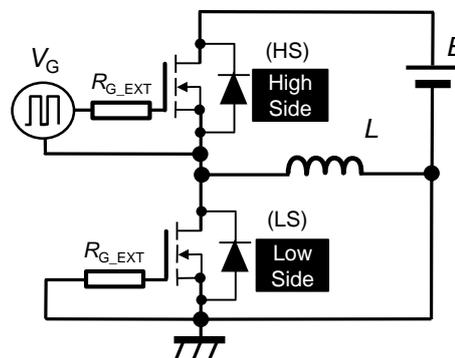
(a) SCT3040KR(4L)の外観および概略仕様

Q1	SCT3040KR
Q2	RSR030N06TL
D1	RB160MM-40TR
D2,D3	RB160VAM-60TR
C2,C3	0.1uF, 50V, 0402

(b) 抑制回路用部品

Figure 6. 評価用部品

Figure 5. に示すとおり、抑制回路の組み合わせは、(a) 抑制回路なし、(b) ミラークランプ用 MOSFET(Q2)のみ、(c) クランプ用 SBD(D2,D3,C2)のみ、(d) 誤オン抑制コンデンサ(C1)のみ、の4つの組み合わせで、Figure 7. に示すダブルパルス試験にて  $V_{GS}$  のサージ電圧を確認しました。



$E: 800V, L: 250\mu H, R_{G\_EXT}: 10\Omega$

Figure 7. ダブルパルス試験回路

Figure 8. はターンオン時の波形で、上からスイッチング側ゲートソース電圧 ( $V_{GS\_HS}$ )、非スイッチング側ゲートソース電圧 ( $V_{GS\_LS}$ )、ドレインソース電圧 ( $V_{DS}$ )、ドレイン電流 ( $I_D$ ) を示しており、抑制回路(a), (b), (c), (b)と(c)の抑制回路を組み合わせた(e)の4つの波形を重ねて表示しています。

Figure 8. から明らかのように、対策回路がない(a)およびクランプ用 SBD のみの(c)においては、正サージ電圧を押さえ込むことができず、 $V_{GS\_LS}$  が盛り上がり、 $V_{GS(th)}$  を大きく超えており、対策回路が存在する時の  $I_D$  に比べ大きくなっていることが分かります。つまり、非スイッチング側の MOSFET (この場合は LS 側) が誤オンしていることとなります。この動作を防止するためには、対策回路(b)は必須となります。

ところが、対策回路(b)を備えるためには、ミラークランプ用 MOSFET を駆動するための制御信号が必要となります。この信号は、 $V_{GS}$  電圧をモニタリングしながら駆動タイミングを見出す必要があり、一般的には駆動 IC に備わっていることが多いため、この制御機能を備えていない駆動 IC を選定した場合は、この対策回路を選択することができません。

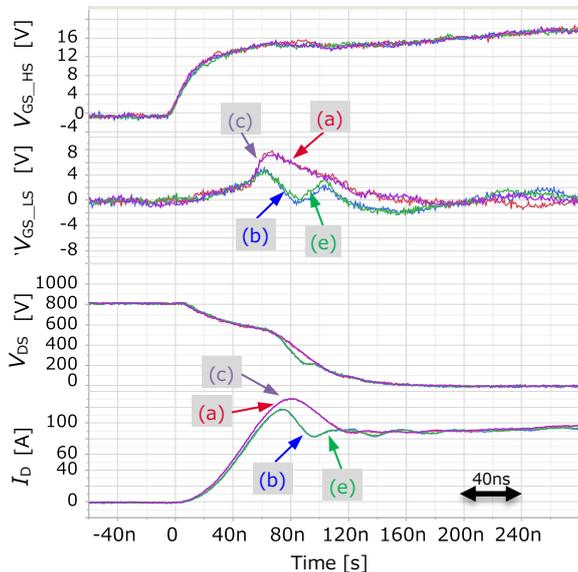


Figure 8. ターンオン波形

(a)抑制回路なし, (b)ミラークランプ用 MOSFET のみ,  
(c)クランプ用 SBD のみ, (e)ミラークランプ用 MOSFET+クランプ用 SBD

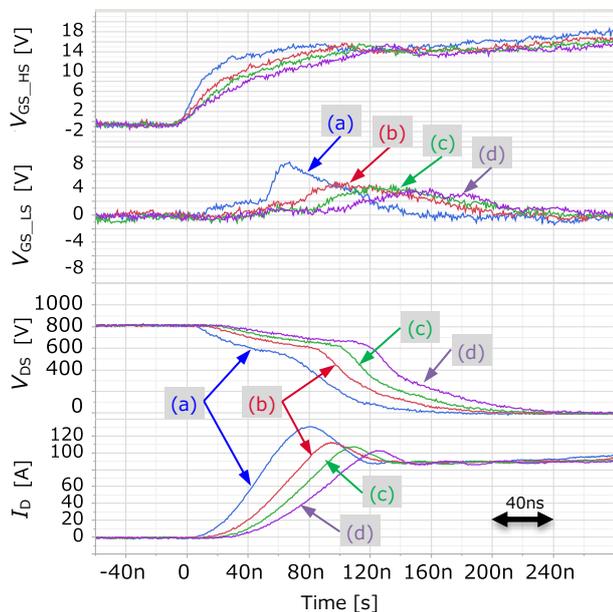


Figure 9. 誤オン抑制コンデンサを用いたターンオン波形

(a)抑制回路なし, (b)2.2nF, (c)3.3nF, (d)4.7nF

そこで、Figure 5. (d)に示すように、MOSFET のゲートソース間に誤オン抑制コンデンサを接続し、サージ対策回路とすることがあります。Figure 9.に誤オン抑制コンデンサを接続した時のターンオン波形を示します。抑制回路がない(a)に比べ、誤オン抑制コンデンサを接続した

(b), (c), (d)において、 $V_{GS\_LS}$  の盛り上がり小さくなり、 $I_D$  のターンオンサージが小さくなっていることが分かります。但し、 $I_D$  の波形から分かるように、誤オン抑制コンデンサを接続すると、ターンオン動作は遅くなりスイッチング損失は増加します。そのため、必要最小限の値を選択する必要があります。今回の評価では(b) 2.2nF で十分な結果となっています。

### 負電圧サージ対策

Figure 3.に示したターンオフ時の非スイッチング側  $V_{GS}$  の負サージである事象(IV)を抑制するためには、Table 1.で示した Q2 あるいは D3 が効果的です。

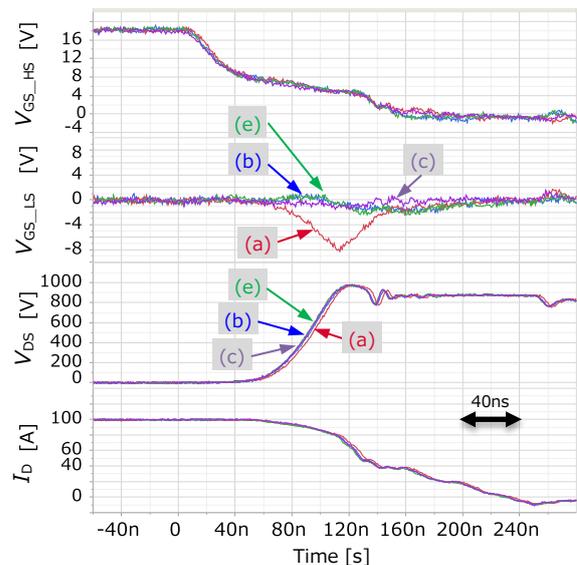


Figure 10. ターンオフ波形

(a)抑制回路なし, (b)ミラークランプ用 MOSFET のみ,  
(c)クランプ用 SBD のみ, (e)ミラークランプ用 MOSFET+クランプ用 SBD

Figure 10.にターンオフ時の波形を示します。Figure 8.と同様に上から  $V_{GS\_HS}$ 、 $V_{GS\_LS}$ 、 $V_{DS}$ 、 $I_D$  を示しており、抑制回路(a), (b), (c)と Figure 4.(b)の抑制回路時(e)の4つの波形を重ねて表示しています。いずれの抑制回路でも負サージを除去できていることが分かります。

また、Figure 11.に誤オン抑制コンデンサを接続した場合のターンオフ波形を示します。誤オン抑制コンデンサによる負サージの除去はできないため、ミラークランプ用 MOSFET を用いた抑制回路(b)を選択できない場合は、クランプ用 SBD を用いた正負サージ抑制回路(c)と誤オン抑制コンデンサ回路(d)を併用することにより、システム全体の効率を最適化する必要があります。

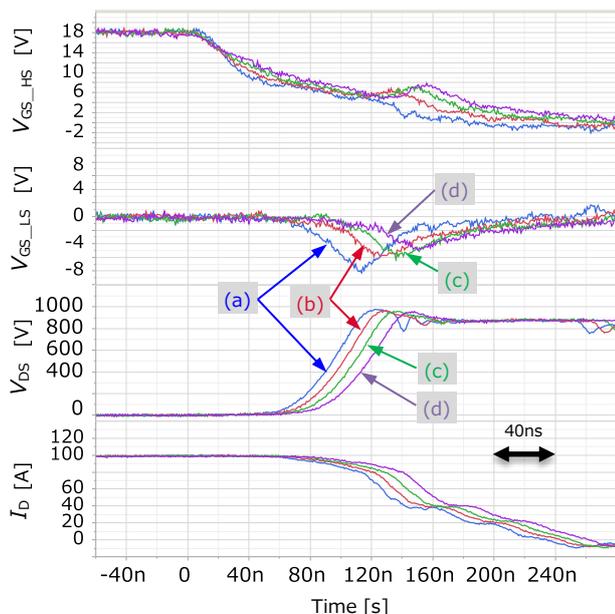


Figure 11. 誤オン抑制コンデンサを用いたターンオフ波形  
(a)抑制回路なし, (b)2.2nF, (c)3.3nF, (d)4.7nF

抑制回路のレイアウトに関する注意点

Figure 12.に抑制回路のレイアウト事例を示します。

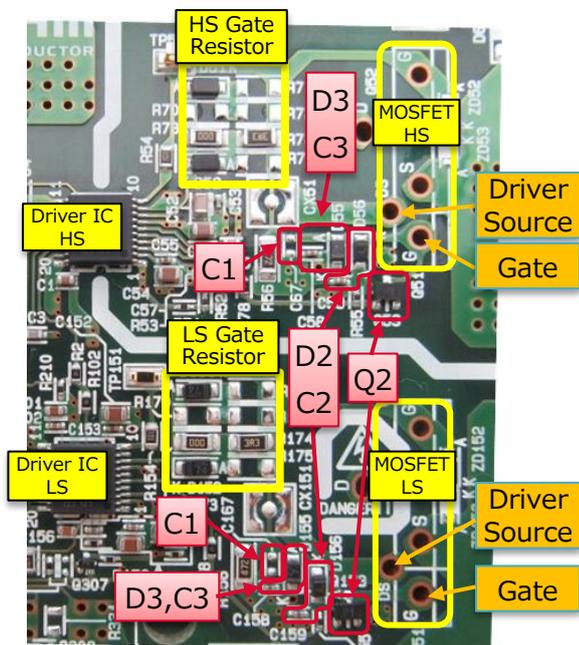


Figure 12. 抑制回路のレイアウト事例

この基板ではブリッジ構成となっている MOSFET が上下に配置されており、ゲート端子とドライバーソース端子が各 MOSFET の下方にアサインされています。そして、V<sub>GS</sub> サージ電圧の抑制回路は、各ゲート端子の直近に配置されており、最短距離で接続されています。

Figure 13.に抑制回路のパターンレイアウトを示します。複数の抑制回路を備える場合は、まず、ミラークランプ用 MOSFET(Q2)を最も優先して実装位置を決定する必要があります。次に負サージ用クランプ SBD(D3)とそのバイパスコンデンサ(C3)を配置し、正サージ用クランプ用 SBD(D2)とバイパスコンデンサ(C2)、誤オン抑制コンデンサ (C1) の順番で配置を決めていきます。なぜなら、特にミラークランプ用 MOSFET は数 cm 離れただけで、その配線インダクタンスの影響により抑制効果が大きく減衰してしまうからです。

また、抑制回路のリターン線（いわゆるドライバーソース端子への戻り線）と、抑制回路の配線によるループを最小限にすることも忘れてはなりません。なぜなら、SiC MOSFET の高速スイッチングにより I<sub>D</sub> で発生する di/dt による EMC ノイズが大きいため、その配線ループが I<sub>D</sub> による EMC ノイズを捉えないようにするためです。

今回評価した基板は 4 層構造となっており、そのリターン線は Layer2 層で全面リターン線となっています。そうすることにより抑制回路の直下にリターン線を配置でき、ループ面積を最小化できます。

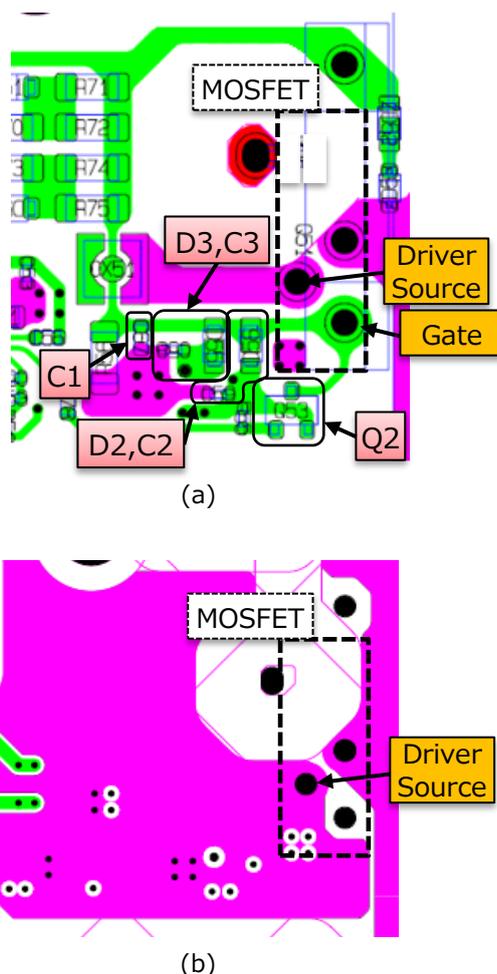


Figure 13. 抑制回路のパターンレイアウト  
(a)Layer 1 , (b)Layer 2

なお、クランプ用 SBD に併設されているバイパスコンデンサは、駆動電源からのインピーダンスが十分に小さければ不要ですが、一般的に供給源は離れていることが多く、SBD の近くにバイパスコンデンサを設置し SBD が低インピーダンスで動作できるようにすることが必要です。また、コンデンサの選定においてはインピーダンス特性を十分に考慮し、数十 MHz 帯に共振点を持つコンデンサ（0.1 $\mu$ F, 1.0 x 0.5mm サイズ）を選定するとよいでしょう。

## まとめ

ブリッジ構成による SiC MOSFET のゲート信号は、MOSFET 同士がお互いに関連しながら動作し、ゲートソース間電圧に予期しない電圧サージを発生させています。そして、その抑制方法は基板のパターンレイアウトや選定する周辺部品と絡みながら様々な対応が必要となっています。この資料で提示した手法を使い、個々の状況に合わせ最適な対策を選択できることを期待します。

### 参考資料：

- \*1 「ブリッジ構成におけるゲートソース電圧の振る舞い」  
アプリケーションノート（No. 60AN134JRev.002）  
ローム株式会社, 2020 年 4 月

## ご 注 意

- 1) 本資料の記載内容は改良などのため予告なく変更することがあります。
- 2) 本資料に記載されている内容は製品のご紹介資料です。ご使用に際しては、別途最新の仕様書を必ずご請求のうえ、ご確認ください。
- 3) ロームは常に品質・信頼性の向上に取り組んでおりますが、半導体製品は種々の要因で故障・誤作動する可能性があります。  
万が一、本製品が故障・誤作動した場合であっても、その影響により人身事故、火災損害等が起こらないようご使用機器でのディレーティング、冗長設計、延焼防止、バックアップ、フェイルセーフ等の安全確保をお願いします。定格を超えたご使用や使用上の注意書が守られていない場合、いかなる責任もロームは負うものではありません。
- 4) 本資料に記載されております応用回路例やその定数などの情報につきましては、本製品の標準的な動作や使い方を説明するものです。  
したがって、量産設計をされる場合には、外部諸条件を考慮していただきますようお願いいたします。
- 5) 本資料に記載されております技術情報は、製品の代表的動作および応用回路例などを示したものであり、ロームまたは他社の知的財産権その他のあらゆる権利について明示的にも黙示的にも、その実施または利用を許諾するものではありません。上記技術情報の使用に起因して紛争が発生した場合、ロームはその責任を負うものではありません。
- 6) 本資料に掲載されております製品は、耐放射線設計はなされていません。
- 7) 本製品を下記のような特に高い信頼性が要求される機器等に使用される際には、ロームへ必ずご連絡の上、承諾を得てください。  
・輸送機器（車載、船舶、鉄道など）、幹線用通信機器、交通信号機器、防災・防犯装置、安全確保のための装置、医療機器、サーバー、太陽電池、送電システム
- 8) 本製品を極めて高い信頼性を要求される下記のような機器等には、使用しないでください。  
・航空宇宙機器、原子力制御機器、海底中継機器
- 9) 本資料の記載に従わないために生じたいかなる事故、損害もロームはその責任を負うものではありません。
- 10) 本資料に記載されております情報は、正確を期すため慎重に作成したものです。万が一、当該情報の誤り・誤植に起因する損害がお客様に生じた場合においても、ロームはその責任を負うものではありません。
- 11) 本製品のご使用に際しては、RoHS 指令など適用される環境関連法令を遵守の上ご使用ください。  
お客様がかかる法令を順守しないことにより生じた損害に関して、ロームは一切の責任を負いません。  
本製品の RoHS 適合性などの詳細につきましては、セールス・オフィスまでお問合せください。
- 12) 本製品および本資料に記載の技術を輸出又は国外へ提供する際には、「外国為替及び外国貿易法」、「米国輸出管理規則」など適用される輸出関連法令を遵守し、それらの定めにしたがって必要な手続を行ってください。
- 13) 本資料の一部または全部をロームの許可なく、転載・複写することを堅くお断りします。



ローム製品のご検討ありがとうございます。  
より詳しい資料やカタログなどご用意しておりますので、お問合せください。

ROHM Customer Support System

<http://www.rohm.co.jp/contact/>